

УДК 621.3.049.774: 621.382.32

ИССЛЕДОВАНИЕ И МЕТОД АППРОКСИМАЦИИ ПОРОГОВОГО НАПРЯЖЕНИЯ МОП-ТРАНЗИСТОРОВ



RESEARCH AND METHOD OF APPROXIMATION OF MOS-TRANSISTORS THRESHOLD VOLTAGE

Зайцев Андрей Алексеевич

ведущий инженер,
институт микроприборов
и систем управления,
Национального
исследовательского университета
«Московский Институт
Электронной Техники»
andazaitsev@mail.ru

Аннотация. Исследованы изменения порогового напряжения, тока стока и крутизны МОП-транзисторов в зависимости от ширины и длины канала, напряжений сток-исток, исток-карман и температуры. Представлен метод расчета порогового напряжения МОП-транзисторов по аппроксимирующим выражениям с учетом перечисленных переменных параметров. Метод заключается в предварительном расчете порогового напряжения для заданных ширины и длины канала и действующего напряжения сток-исток для условий нулевого напряжения исток-карман и температуры +27 °С. Далее осуществляется коррекция полученного напряжения с учетом действующих напряжений исток-карман и температуры. Представлены соответствующие аппроксимирующие выражения.

Ключевые слова: МОП-транзистор, пороговое напряжение, крутизна управления по затвору, ток стока.

Zaitsev Andrey Alekseevich

Senior engineer,
institute of microdevices and control systems,
National research university
«Moscow Institute
of Electronic Technology»
andazaitsev@mail.ru

Annotation. Changes of threshold voltage, drain current and transconductance of the MOS-transistors are researched depending on width and length of channel, a drain-source and a source-bulk voltages and temperatures. The method of evaluation of threshold voltage of the MOS-transistors based on approximating expressions taking into account the listed variable parameters is presented. The method consists in pre-design of threshold voltage for set of width and length of channel and an operating drain-source voltage for conditions of zero voltage a source- bulk and temperatures +27 °C. Then correction of the calculated voltage taking into account the source-bulk operating voltage and temperatures is carry out. Conforming approximating expressions are presented.

Keywords: MOS-transistor, threshold voltage, transconductance, drain current.

Введение

К современным портативным электронным устройствам предъявляются требования дальнейшей минимизации их массогабаритных показателей и увеличении продолжительности непрерывной работы при одновременном расширении функциональных возможностей. Основным конструктивным ограничением на пути уменьшения массогабаритных показателей является источник напряжения питания, размер которого может занимать до половины объема устройства. Эффективно уменьшить расход энергии – очевидное решение и серьезная проблема при проектировании микросхем для данных устройств. Требуется комплексный подход на всех уровнях: технологическом, схемотехническом и архитектурном.

Наиболее распространенным приемом повышения энергоэффективности является динамическое масштабирование напряжения питания и тактовой частоты, адаптирующее их значения под текущую вычислительную нагрузку. Однако, есть приложения, в которых именно микропотребление является доминирующим критическим параметром и, как компромисс, может быть допущено снижение производительности от максимально достижимого при используемой технологии изготовления кристаллов микросхем. Одним из решений является уменьшение напряжения питания микросхем с приближением к режимам работы транзисторов в окрестности порогового напряжения. Характерно, что при изготовлении кристаллов таких микросхем используются коммерчески доступные стандартные МОП-процессы, что не требует никаких дополнительных инвестиций в соответствующую инфраструктуру.

Основной проблемой при проектировании данных микросхем является то, что при работе транзисторов в окрестности порогового напряжения их характеристики проявляют более высокую чувствительность к технологическому разбросу, шуму напряжения питания и температуре. Все это приводит к существенному изменению производительности и, соответственно, к повышению вероятности функционального отказа [1, 2].

В этой ситуации, на этапе проектирования становится критически важным постоянный контроль, как текущее значение напряжения затвор-исток транзисторов соотносятся с их пороговым напряжением. Таким образом, необходимо иметь возможность быстрого и с приемлемой точностью получения порогового напряжения МОП-транзисторов, зависящего, в свою очередь, от ширины и длины канала, напряжений сток-исток, исток-карман и температуры.

Пороговое напряжение МОП-транзистора

Под пороговым напряжением V_{TH} МОП-транзистора подразумевают такое напряжение затвор-исток V_{GS} , при котором поверхностный электростатический потенциал под диэлектриком затвора за счет приложенного электрического поля становится равен по величине и противоположен по знаку электростатическому потенциалу кармана. В результате под диэлектриком затвора формируется проводимость, а данный эффект называют инверсией канала. В подпороговой области (или слабой инверсии) проводимость осуществляется за счет рассеивания, а в области сильной инверсии за счет дрейфа носителей заряда [3, 4].

На основании представленных в [3] выражений, пороговое напряжение V_{THN} N-канального МОП-транзистора при условии нулевого потенциала исток-карман (подложка) равно:

$$V_{THN} = -\frac{kT}{q} \ln \frac{N_{D,poly}}{N_A} + \frac{t_{ox}}{\epsilon_{ox}} \left(qN_I + 2\sqrt{kT\epsilon_{si}N_A \ln \frac{N_A}{n_i} - Q'_{ss}} \right), \quad (1)$$

где k – постоянная Больцмана, T – температура в Кельвинах, q – заряд электрона, ϵ_{ox} – диэлектрическая постоянная оксида кремния, ϵ_{si} – диэлектрическая постоянная кремния, N_A – уровень легирования подложки, $N_{D,poly}$ – уровень легирования поликристаллического кремния затвора, t_{ox} – толщина подзатворного диэлектрика, N_I – доза имплантации канала, n_i – концентрация носителей, Q'_{ss} – заряд перехода окисел-полупроводник из-за загрязнения натрия.

В этом выражении k , q , ϵ_{ox} , ϵ_{si} – физические постоянные. Значение порогового напряжения определяется параметрами N_A , $N_{D,poly}$, t_{ox} , N_I , n_i и Q'_{ss} при производстве кристалла микросхемы. Для транзисторов, изготовленных в одном технологическом процессе, пороговое напряжение будет отличаться в зависимости от ширины W и длины L затвора (канала). Во время работы микросхемы пороговое напряжение изменяется в зависимости от значений напряжений сток-исток V_{DS} и исток-карман V_{SB} и от температуры.

Для упрощения, будем считать размеры канала и затвора транзистора идентичными. Отметим, что при использовании транзистора с несколькими затворами его пороговое напряжение соответствует пороговому напряжению транзистора с одним затвором длиной L и шириной W , равной полной ширине исходного транзистора деленной на количество затворов F [5].

Расчет порогового напряжения МОП-транзистора через характеристику тока стока

Схемы для измерения тока стока I_D в зависимости от напряжений V_{GS} , V_{DS} и V_{SB} представлены на рисунке 1 [3].

Известно, что при увеличении напряжения V_{GS} от нулевого значения МОП-транзистор сначала находится в подпороговой области (слабой инверсии), где доминирующим компонентом тока I_D является диффузионный ток, характеризующейся экспоненциальной зависимостью от напряжения V_{GS} . При подходе V_{GS} к пороговому напряжению

зависимость тока I_D начинает плавно меняться с экспоненциальной на квадратичную (область умеренной инверсии) с появлением тока дрейфа. При дальнейшем увеличении V_{GS} транзистор входит в область сильной инверсии, при которой доминирующим компонентом тока I_D становится ток дрейфа, а его зависимость становится квадратичной. При значительном превышении порогового напряжения зависимость тока I_D приобретает линейный характер [3, 4].

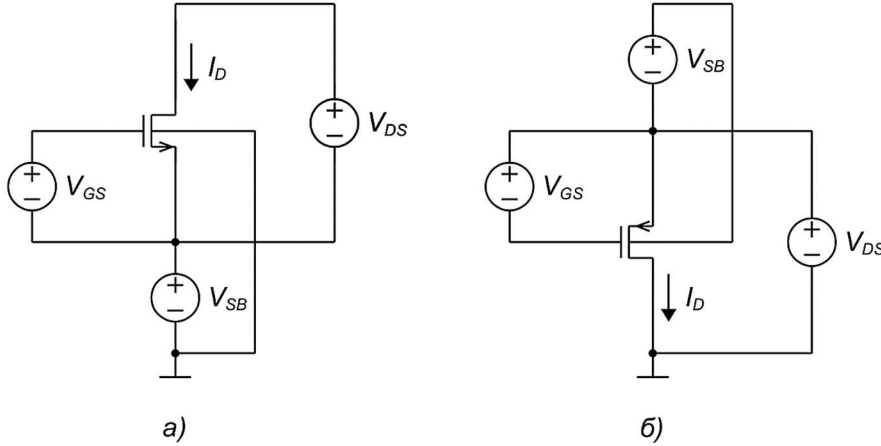


Рисунок 1 – Схемы измерения тока I_D в зависимости от напряжений V_{GS} , V_{DS} и V_{SB} : а) – N-транзистор; б) – P-транзистор

Существуют отличия короткоканальных транзисторов от длинноканальных заключающееся в том, что у короткоканальных транзисторов квадратичная зависимость тока I_D слабо выражена и происходит плавный переход от экспоненциальной зависимости сразу к линейной.

На рисунке 2 представлены типовые зависимости тока стока I_D и крутизны управления по затвору (передаточной проводимости) g_m МОП-транзистора в зависимости от напряжения V_{GS} при постоянном V_{DS} . Заметим, что ось ординат рисунка 2а имеет масштаб квадратного корня тока стока I_D .

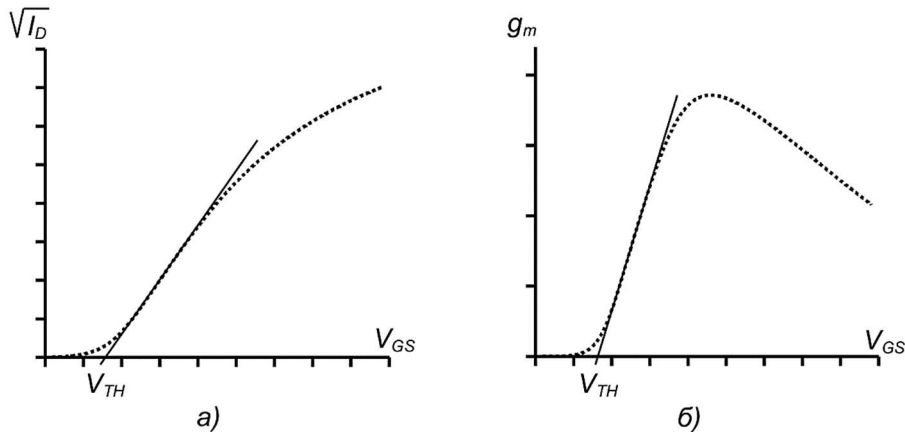


Рисунок 2 – Типовые характеристики МОП-транзистора в зависимости от V_{GS} : а) – ток стока I_D ; б) – крутизна управления по затвору g_m

Здесь необходимо отметить, что в данной работе исследовались транзисторы технологии КМОП 180 нм, с использованием модели BSIM3v3.24. Для других современных технологий (как крупнее так и мельче) зависимости характеристик транзисторов качественно будут совпадать и иметь только численные отличия.

Так как крутизна g_m является производной тока I_D , то при постоянном шаге приращения напряжения ΔV_{GS} значение крутизны $g_{m(i)}$ в точке $V_{GS(i)}$ может быть выражено как:

$$g_{m(i)} = \frac{\Delta I_{DS}}{\Delta V_{GS}} = \frac{I_{DS(i+1)} - I_{DS(i-1)}}{V_{GS(i+1)} - V_{GS(i-1)}}. \quad (2)$$

Существуют инженерные способы расчета порогового напряжения, сводящиеся к линейной экстраполяции к оси абсцисс участков ΔV_{GS} диаграмм рисунка 2. В [6] обрабатывают данные диаграммы рисунка 2а. При этом напряжение $V_{TH(i)}$ равно:

$$V_{TH(i)} = \frac{V_{GS(i-1)} \sqrt{I_{DS(i+1)}} - V_{GS(i+1)} \sqrt{I_{DS(i-1)}}}{\sqrt{I_{DS(i+1)}} - \sqrt{I_{DS(i-1)}}}. \quad (3)$$

В [3] обрабатывают данные диаграммы рисунка 2б. При этом напряжение $V_{TH(i)}$ равно:

$$V_{TH(i)} = \frac{V_{GS(i-1)} \cdot g_{m(i)} - V_{GS(i)} \cdot g_{m(i-1)}}{g_{m(i)} - g_{m(i-1)}}, \quad (4)$$

или, выражая через V_{GS} и I_D :

$$V_{TH(i)} = \frac{(I_{DS(i+1)} - I_{DS(i)}) \cdot (V_{GS(i)}^2 - V_{GS(i-1)}^2) - (I_{DS(i)} - I_{DS(i-1)}) \cdot (V_{GS(i+1)}^2 - V_{GS(i)}^2)}{2 \cdot ((I_{DS(i+1)} - I_{DS(i)}) \cdot (V_{GS(i)} - V_{GS(i-1)}) - (I_{DS(i)} - I_{DS(i-1)}) \cdot (V_{GS(i+1)} - V_{GS(i)}))}. \quad (5)$$

Таким образом, двигаясь по оси V_{GS} с шагом ΔV_{GS} , получают диаграммы значений $V_{TH(i)}$, представленные на рисунке 3. Максимальные значения диаграмм являются искомым пороговым напряжением V_{TH} . Точность определения максимума зависит от шага приращения V_{GS} (в данной работе 20 мВ).

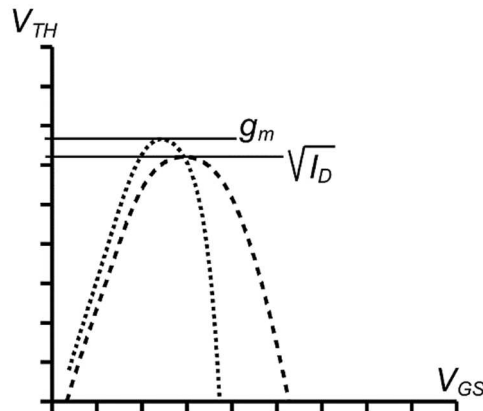


Рисунок 3 – Диаграммы значений $V_{TH(i)}$ в зависимости от $V_{GS(i)}$ при расчете с использованием квадратного корня тока I_D и с использованием крутизны g_m

Как следует из рисунка 3, для рассмотренных способов расчета разные не только максимумы напряжений $V_{TH(i)}$, но также разные значения напряжений $V_{GS(i)}$ при которых эти максимумы определяются. Таким образом, определение V_{TH} происходит при разном напряжении перегрузки затвора V_{OVN} , равном $V_{GS} - V_{TH}$. Как правило, при разработке аналоговых схем наиболее актуальным является определение V_{TH} транзистора, работающего в режиме насыщения. Чем меньше напряжение V_{OVN} , тем ближе транзистор к области насыщения даже при напряжении сток-исток, равном несколько значений теплового напряжения V_T , например, $100 \text{ мВ} \approx 4V_T$ при 27°C . При указанных условиях исследуемые транзисторы находятся в режиме триода при расчете V_{TH} с использованием квадратного корня тока I_D и на границе триодной области и области насыщения при расчете V_{TH} с использованием крутизны g_m . Вследствие этого далее при расчетах порогового напряжения для диаграмм рисунков 5, 7 и 9 использовано выражение, обрабатывающие в качестве исходных данных крутизну транзистора. Отметим, что для транзисторов исследуемой технологии значение напряжения V_{TH} , рассчитанное через квадратный корень тока I_D может быть на 15 % меньше по сравнению с рассчитанным через крутизну g_m .

На рисунке 4 представлены характеристики I_D и g_m в логарифмическом масштабе с указанием точки напряжения V_{TH} . Как можем видеть, точка порогового напряжения V_{TH} располагается в самом начале отхода наклона тока I_D от экспоненциальной зависимости.

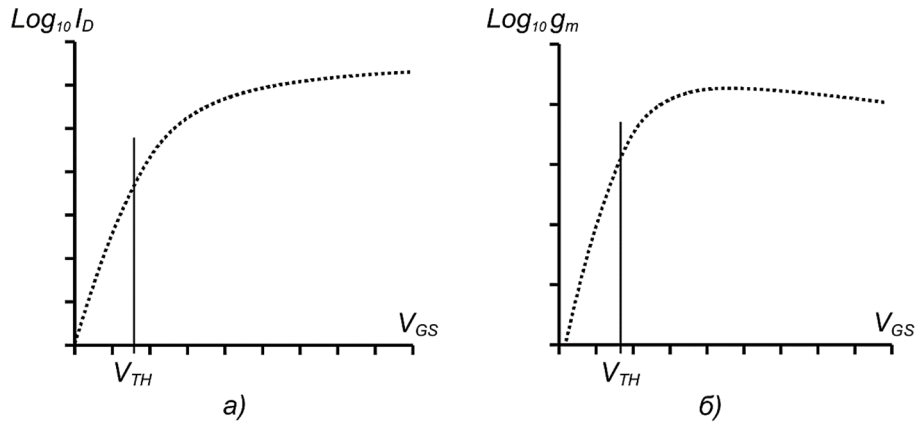


Рисунок 4 – Ток I_D (а) и крутизна g_m (б) в логарифмическом масштабе

Подпороговая область характеризуется подпороговым наклоном тока I_D , выражаемым как значение уменьшения напряжения V_{GS} на декаду уменьшения тока I_D от точки порогового напряжения. При температуре 27°C подпороговый наклон в среднем составляет 3,5–4,5 значения теплового напряжения V_T .

Варианты получения порогового напряжения МОП-транзистора во время моделирования работы схемы

Как известно, при работе транзисторов в окрестности порогового напряжения их характеристики проявляют высокую чувствительность к технологическому разбросу, температуре, а также к шуму напряжения питания [1, 2]. Таким образом, при моделировании работы схемы, на соответствующих диаграммах результатов моделирования необходима индикация, как напряжение затвор-исток интересующих транзисторов соотносятся с их пороговым напряжением при текущих значениях напряжений сток-исток, исток-карман и температуры.

Получение порогового напряжения V_{TH} возможно несколькими вариантами. Первым вариантом является считывание V_{TH} из многомерного массива, в котором хранятся V_{TH} для разных сочетаний W и L , напряжений сток-исток и исток-карман и температуры. Шаг изменения этих параметров определяет размер массива и погрешность V_{TH} . Для уменьшения погрешности между точками массива может применяться интерполяция.

При втором варианте программа моделирования создает для интересующих транзисторов тестовые схемы рисунка 1 с соответствующими условиями их работы и осуществляет постоянное вычисление V_{TH} , как представлено на рисунках 2 и 3. При этом, при достаточно высокой точности получения значения V_{TH} , время расчета существенно увеличивается.

В данной работе предлагается еще один вариант получения значения V_{TH} , осуществляющий расчет исходного порогового напряжения $V_{TH(VDS)}$ для заданных размеров ширины W и длины L затвора (канала) и действующего напряжения сток-исток V_{DS} , но для условий нулевого напряжения исток-карман и температуры 27°C . Далее осуществляется коррекция напряжения $V_{TH(VDS)}$ с помощью коэффициентов, учитывающих действующие значения напряжения исток-карман V_{SB} и температуры.

В этом случае результирующее пороговое напряжение может быть рассчитано как:

$$V_{TH} = V_{TH(VDS)} \cdot K_{VTH(VSB)} \cdot K_{VTH(T)} \quad (6)$$

Так как в качестве примера использованы транзисторы технологии КМОП 180 нм с типовым напряжением питания 1,8 В, исходное пороговое напряжение и корректирующие коэффициенты будут исследованы для условий:

$V_{TH(VDS)}$ при $V_{DS} = 0,02 \dots 1,8 \text{ В}$, $V_{SB} = 0 \text{ В}$, $T = 27^\circ\text{C}$;

$K_{VTH(VSB)}$ при $V_{DS} = 0,1 \text{ В}$, $V_{SB} = 0 \dots 0,9 \text{ В}$, $T = 27^\circ\text{C}$;

$K_{VTH(T)}$ при $V_{DS} = 0,1 \text{ В}$, $V_{SB} = 0 \text{ В}$, $T = -40 \dots +125^\circ\text{C}$.

С целью упрощения изложения, дальнейший анализ проводится по характеристикам транзисторов в четырех точках сочетаний размеров W и L , являющихся граничными для выбранной технологии и производителя.

Зависимость порогового напряжения МОП-транзистора от напряжения сток-исток

На рисунке 5а,б представлены зависимости значения порогового напряжения при изменении напряжения V_{DS} в диапазоне от 20 мВ до 1,8 В для условий $V_{SB} = 0$ В и $T = 27$ °С. Обозначим это напряжение $V_{TH(VDS)}$. Здесь и далее подписи у диаграмм на рисунках означают размеры (в мкм) W/L затвора (канала) транзистора.

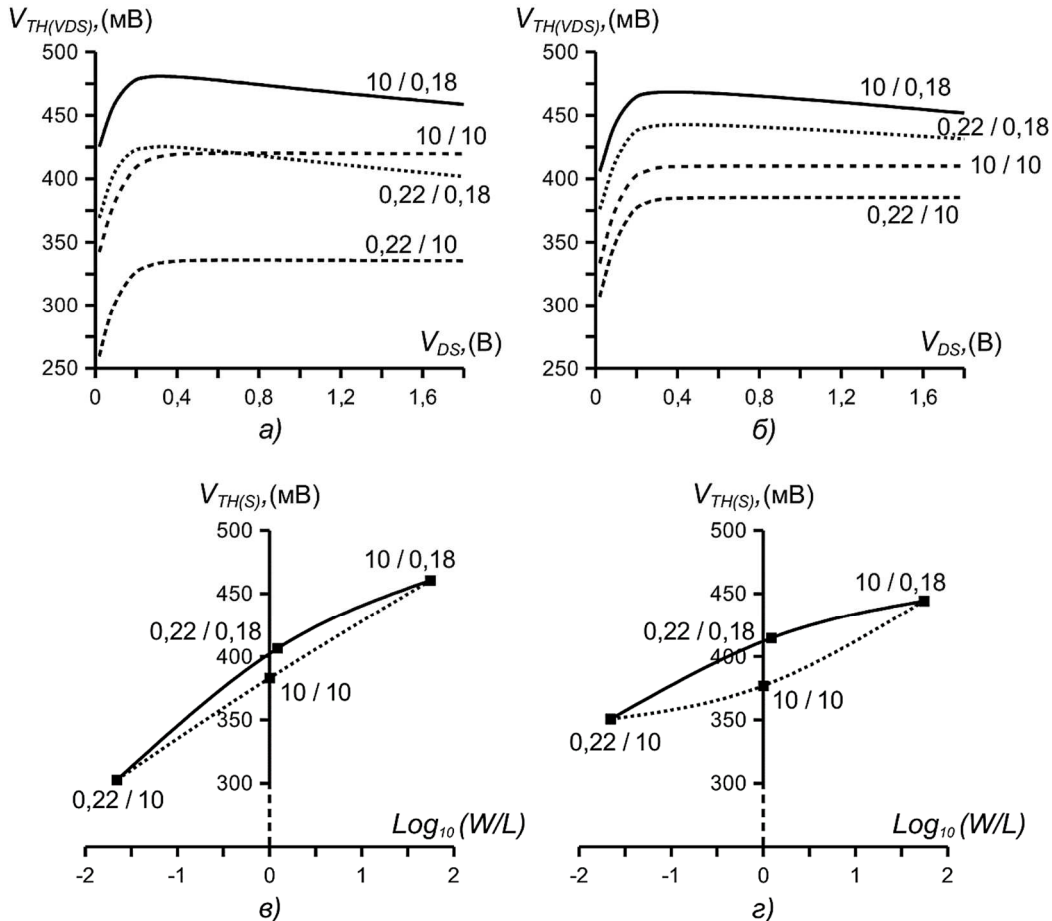


Рисунок 5 – Пороговое напряжение при $V_{DS} = 0,02 \dots 1,8$ В (а, б) и $V_{DS} = 0,1$ В (в, г) для условий $V_{SB} = 0$ В и $T = 27$ °С:
а), в) – N-транзисторы; б), г) – P-транзисторы

При увеличении V_{DS} в среднем до 0,35 В наблюдается увеличение значения порогового напряжения. При дальнейшем увеличении V_{DS} напряжение V_{TH} длинноканальных транзисторов практически не изменяется, а для короткоканальных наблюдается уменьшение на 4,5–6 % для N-транзисторов и 2,5–4 % для P-транзисторов. Эффект уменьшения напряжения V_{TH} короткоканальных транзисторов связан с тем, что потенциал стока притягивает носители заряда под окисью затвора и, таким образом, в месте, непосредственно прилегающем к стоку транзистора, помогает инвертировать канал, вызывая, тем самым, уменьшение порогового напряжения [3].

Уменьшение напряжения V_{TH} при увеличении V_{DS} является причиной меньшего малосигнального выходного сопротивления короткоканального транзистора по сравнению с длинноканальным [3].

Пороговое напряжение $V_{TH(VDS)}$ рисунка 5а,б с учетом V_{DS} может быть аппроксимировано выражением:

$$V_{TH(VDS)} = X_0 \cdot \left(1 - e^{-\frac{X_1 + V_{DS}}{X_2}} \right) - X_3 \cdot V_{DS} \quad (7)$$

Коэффициенты X_0, X_1, X_2 , выразим как:

$$X_i = A_{i,0} + \log_{10}\left(\frac{W}{L}\right) \cdot \left(A_{i,1} + A_{i,2} \cdot \log_{10}\left(\frac{W}{L}\right) \right) + A_{i,3} \cdot \log_{10} L. \quad (8)$$

Отметим, что данное выражение представляет из себя сумму полиномиальной и линейной функций. Аргументом полиномиальной функции является $\log_{10}(W/L)$, аргументом линейной функции является $\log_{10}L$.

Коэффициент X_3 выразим как:

$$X_3 = A_0 + A_1 \cdot e^{A_2 \cdot (A_3 + \log_{10} L)}. \quad (9)$$

На рисунке 5в,г представлены значения порогового напряжения в зависимости от отношения W и L транзистора для условий $V_{DS} = 0,1$ В, $V_{SB} = 0$ В, $T = 27$ °С. Обозначим это напряжение $V_{TH(S)}$. На декаду увеличения отношения W к L пороговое напряжение увеличивается в среднем на 45 мВ для N-транзисторов и на 26 мВ для P-транзисторов. Разброс от среднего значения увеличения порогового напряжения у P-транзисторов существенно выше, чем у N- транзисторов.

Для аппроксимации напряжения $V_{TH(S)}$ рисунка 5в,г между измеренными значениями используем выражение:

$$V_{TH(S)} = A_0 + \log_{10}\left(\frac{W}{L}\right) \cdot \left(A_1 + A_2 \cdot \log_{10}\left(\frac{W}{L}\right) \right) + A_3 \cdot \log_{10} L. \quad (10)$$

На рисунке 6 представлены диаграммы зависимостей тока стока $I_{TH(S)}$ и крутизны $g_{mTH(S)}$ от W и L транзистора для условий $V_{GS} = V_{TH(S)}$, $V_{DS} = 0,1$ В, $V_{SB} = 0$ В, $T = 27$ °С. Данные диаграммы предлагается аппроксимировать выражением вида:

$$Y = \frac{W}{L} \cdot \left(A_0 + \log_{10}\left(\frac{W}{L}\right) \cdot \left(A_1 + A_2 \cdot \log_{10}\left(\frac{W}{L}\right) \right) + A_3 \cdot \log_{10} L \right). \quad (11)$$

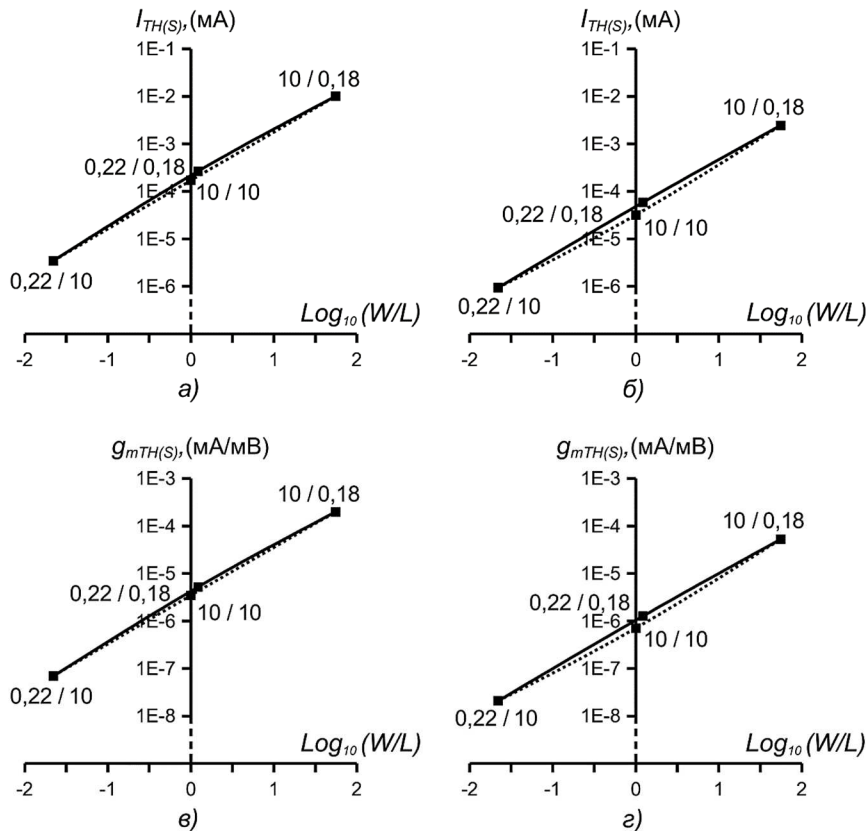


Рисунок 6 – Ток $I_{TH(S)}$ (а, б) и крутизна $g_{mTH(S)}$ (в, г) в зависимости от размеров W и L для условий $V_{GS} = V_{TH(S)}$, $V_{DS} = 0,1$ В, $V_{SB} = 0$ В, $T = 27$ °С:
а), в) – N-транзисторы; б), г) – P-транзисторы

Общее изменение отношения W к L составляет 2525 раз. Общее изменение тока и крутизны составляет 2500–3000 раз. Ток Р-канальных транзисторов в 3,6–5,4 раз меньше, чем N-канальных, крутизна меньше в 3,3–4,9 раз. Как известно, это связано с меньшей подвижностью «дыр», т.е. перемещением электронов в валентной зоне (где они сильнее связаны с ядром атома) по сравнению с подвижностью электронов в зоне проводимости [3].

В подпороговой области уменьшение напряжения V_{GS} на декаду уменьшения тока стока от точки порогового напряжения $V_{TH(S)}$ для N-транзисторов в среднем составляет –104 мВ. Для Р-транзисторов в среднем значение –96 мВ на декаду.

Зависимость порогового напряжения МОП-транзистора от напряжения исток-карман

На рисунке 7а,б представлены диаграммы изменения порогового напряжения при увеличении напряжения исток-карман V_{SB} от 0 до 0,9 В для условий $V_{DS} = 0,1$ В и $T = 27$ °С. Обозначим это напряжение $V_{TH(VSB)}$.

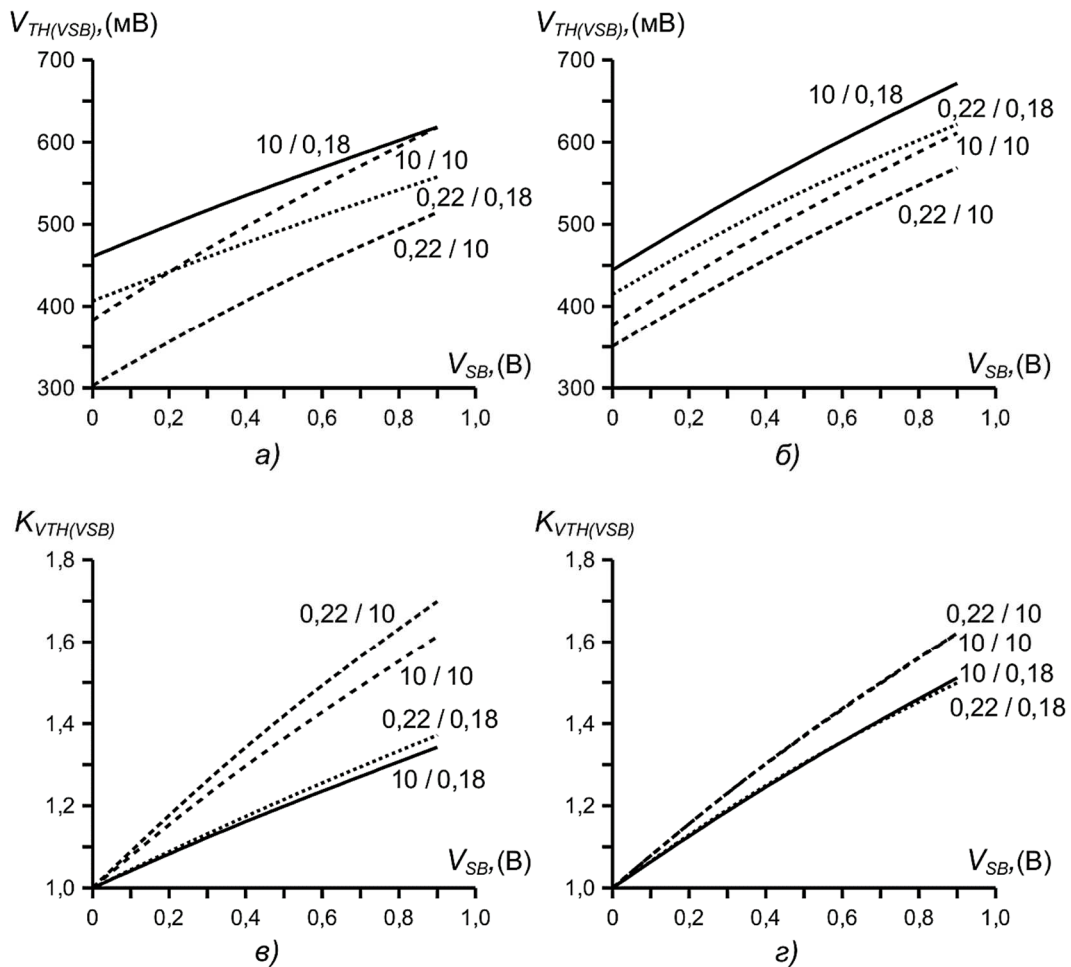


Рисунок 7 – Напряжение $V_{TH(VSB)}$ (а, б) и коэффициент $K_{VTH(VSB)}$ (в, г) при $V_{SB} = 0–0,9$ В для условий $V_{DS} = 0,1$ В, $T = 27$ °С:
 а), в) – N-транзисторы; б), г) – P-транзисторы

Наблюдаемое увеличение напряжения $V_{TH(VSB)}$ связано с тем, что под воздействием потенциала V_{SB} носители заряда притягиваются к истоку и, чтобы сохранить канал инвертированным, напряжение V_{GS} должно быть увеличено [3].

Среднее увеличение $V_{TH(VSB)}$ из-за увеличения V_{SB} для N-транзисторов составляет 178 мВ/В для короткоканальных и 260 мВ/В для длинноканальных. Для Р-транзисторов отличия между короткоканальными и длинноканальными транзисторами менее выражены и составляют 251 мВ/В и 264 мВ/В соответственно.

Пороговое напряжение $V_{TH(VSB)}$ может быть выражено как:

$$V_{TH(VSB)} = V_{TH(S)} \cdot K_{VTH(VSB)} \quad (12)$$

Коэффициент $K_{VTH(VSB)}$ изменения порогового напряжения из-за потенциала напряжения V_{SB} представлен на рисунке 7в,г. Так как $K_{VTH(VSB)}$ зависит от размеров W и L и от значения V_{SB} , выразим его как:

$$K_{VTH(VSB)} = 1 + K_{VSB(WL)} \cdot K_{VSB} \cdot V_{SB}, \quad (13)$$

где $K_{VSB(WL)}$ – составляющая, определяемая размерами W и L :

$$K_{VSB(WL)} = A_0 + \log_{10}\left(\frac{W}{L}\right) \cdot \left(A_1 + A_2 \cdot \log_{10}\left(\frac{W}{L}\right) \right) + A_3 \cdot \log_{10} L, \quad (14)$$

и K_{VSB} – составляющая от значения напряжения V_{SB} :

$$K_{VSB} = 1 + V_{SB} \cdot (A_1 + A_2 \cdot V_{SB}). \quad (15)$$

На рисунке 8 представлены изменения тока стока $I_{TH(VSB)}$ и крутизны $g_{mTH(VSB)}$ при $V_{SB} = 0-0,9$ В для условий $V_{GS} = V_{TH(VSB)}$, $V_{DS} = 0,1$ В, $T = 27$ °С.

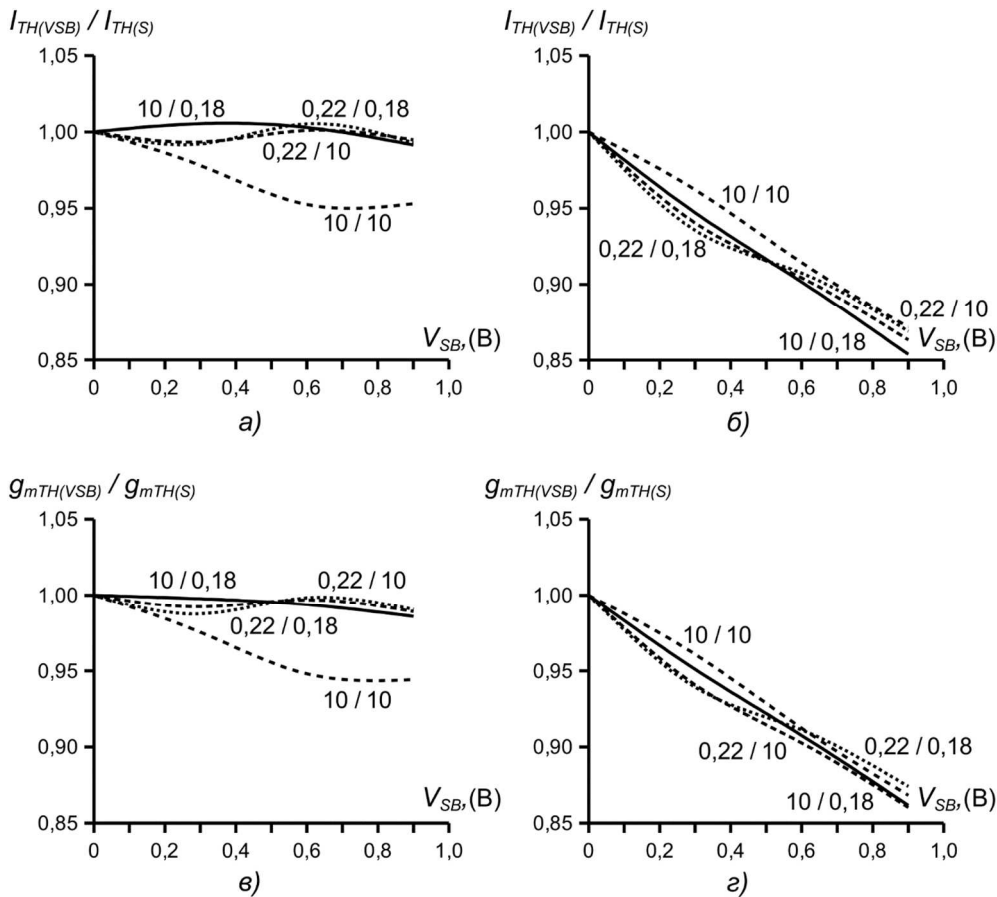


Рисунок 8 – Изменения тока $I_{TH(VSB)}$ (а, б) и крутизны $g_{mTH(VSB)}$ (в, г) при $V_{SB} = 0-0,9$ В для условий $V_{GS} = V_{TH(VSB)}$, $V_{DS} = 0,1$ В, $T = 27$ °С:
а), в) – N-транзисторы; б), г) – P-транзисторы

Для N-канального транзистора с $W/L = 10/10$ мкм наблюдается уменьшение тока стока и крутизны, но не более чем на 6 %. Для остальных N-канальных транзисторов $I_{TH(VSB)}$ и $g_{mTH(VSB)}$ практически не меняются. Для P-канальных транзисторов $I_{TH(VSB)}$ и $g_{mTH(VSB)}$ монотонно падают со средним значением – 16 % на вольт.

Увеличение напряжения V_{SB} практически не влияет на значение наклона тока стока в подпороговой области. Однако, происходящее одновременно с этим увеличение напряжения $V_{TH(VSB)}$ приводит к существенному уменьшению тока при $V_{GS} = 0$ (особенно у N-транзисторов).

Зависимость порогового напряжения МОП-транзистора от температуры

Рассмотрим, как пороговое напряжение изменяется с температурой. Из [3] имеем:

$$\frac{\partial V_{THN}}{\partial T} \approx -\frac{k}{q} \cdot \ln \frac{N_{D,poly}}{N_A} \quad (16)$$

Значение $k/q \approx 86$ мкВ – изменение теплового напряжения с температурой. Так как $N_{D,poly}$ на 3 – 4 порядка превышает N_A , то изменение порогового напряжения на один градус в среднем в 10 раз превышает значение k/q .

На рисунке 9а,б представлены диаграммы изменения порогового напряжения при изменении температуры от -40 до $+125$ °С для условий $V_{DS} = 0,1$ В и $V_{SB} = 0$ В. Обозначим это напряжение $V_{TH(T)}$. Как следует из рисунка, с увеличением температуры напряжение $V_{TH(T)}$ уменьшается со средним значением $-0,82$ мВ/°С для N-транзисторов и $-0,92$ мВ/°С для P-транзисторов.

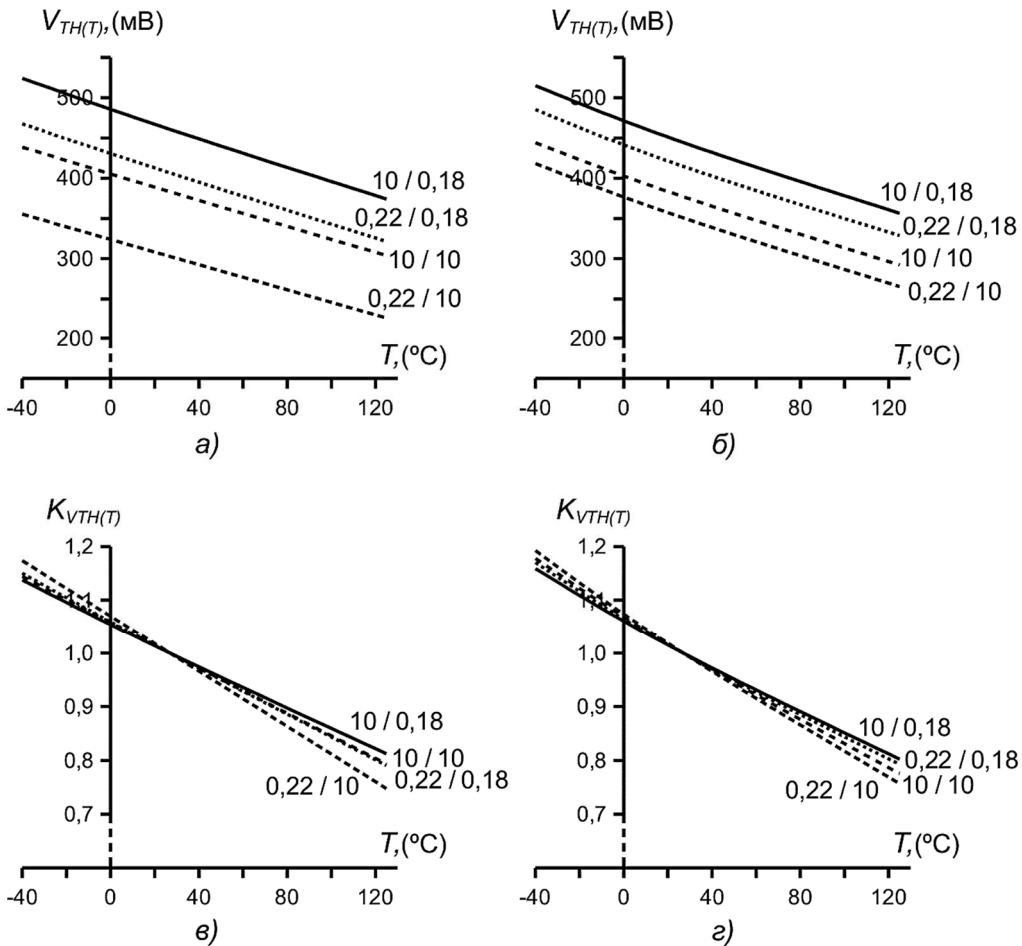


Рисунок 9 – Напряжение $V_{TH(T)}$ (а, б) и коэффициент $K_{VTH(T)}$ (в, г) при $T = -40 \dots +125$ °С для условий $V_{DS} = 0,1$ В, $V_{SB} = 0$ В:
а), в) – N-транзисторы; б), г) – P-транзисторы

На основании выражения изменения порогового напряжения при изменении температуры, представленного в [3], запишем:

$$V_{TH(T)} = V_{TH(S)} \cdot K_{VTH(T)} \quad (17)$$

Коэффициент $K_{VTH(T)}$ изменения порогового напряжения от температуры представлен на рисунке 9в,г. Так как $K_{VTH(T)}$ зависит от размеров W и L и от значения температуры, выразим его как:

$$K_{V_{TH}(T)} = 1 + K_{T(WL)} \cdot K_T \cdot (t^\circ - 27), \quad (18)$$

где $K_{T(WL)}$ – составляющая, определяемая размерами W и L:

$$K_{T(WL)} = A_0 + \log_{10} \left(\frac{W}{L} \right) \cdot \left(A_1 + A_2 \cdot \log_{10} \left(\frac{W}{L} \right) \right) + A_3 \cdot \log_{10} L, \quad (19)$$

и K_T – составляющая от значения температуры:

$$K_T = 1 + (t^\circ - 27) \cdot (A_1 + A_2 \cdot (t^\circ - 27)). \quad (20)$$

Известно, что с увеличением температуры уменьшается не только пороговое напряжение, но и подвижность носителей [3]. На рисунке 10 представлены изменения тока стока $I_{TH(T)}$ и крутизны $g_{mTH(T)}$ при $T = -40 \dots +125 \text{ }^\circ\text{C}$ для условий $V_{GS} = V_{TH(T)}$, $V_{DS} = 0,1 \text{ В}$, $V_{SB} = 0 \text{ В}$. Как следует из диаграмм, изменения эти нелинейны и зависят от размеров W и L и значения температуры. Для N-канальных транзисторов изменения проявляются сильнее, чем для P-канальных, где ток стока практически не изменяется.

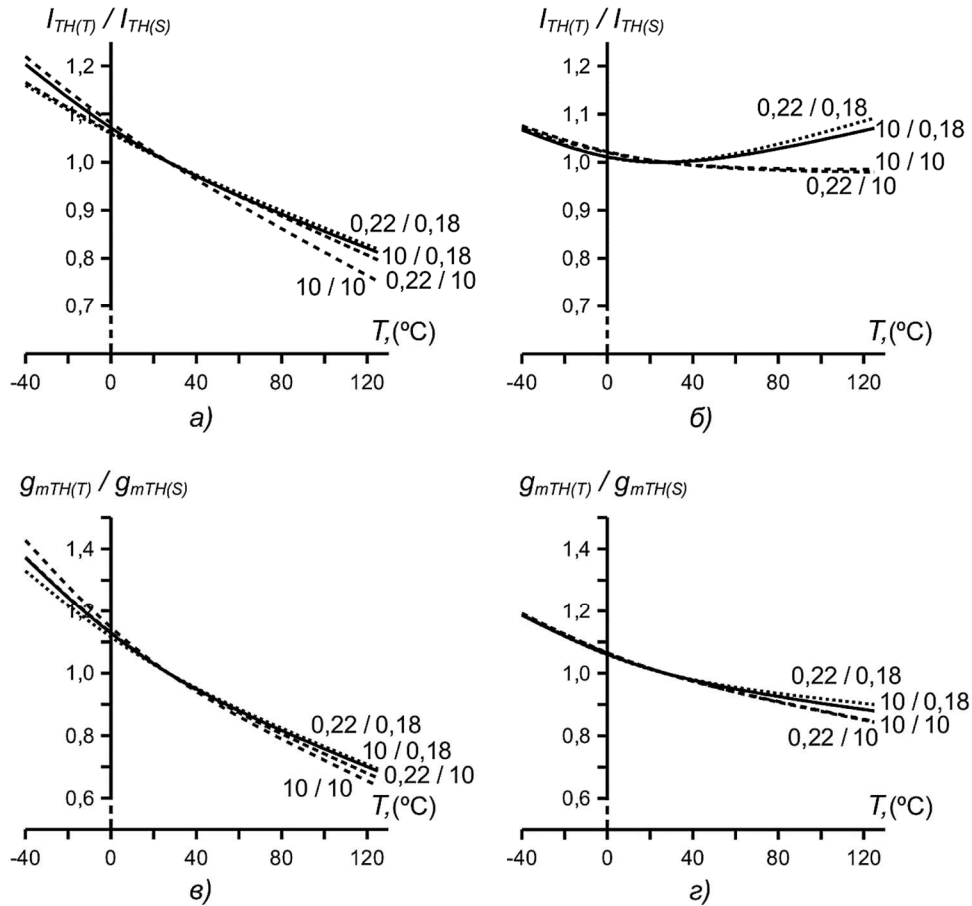


Рисунок 10 – Изменения тока $I_{TH(T)}$ (а, б) и крутизны $g_{mTH(T)}$ (в, г) при $T = -40 \dots +125 \text{ }^\circ\text{C}$ для условий $V_{GS} = V_{TH(T)}$, $V_{DS} = 0,1 \text{ В}$, $V_{SB} = 0 \text{ В}$: а), в) – N-транзисторы; б), г) – P-транзисторы

Значение температуры также влияет на скорость изменения тока стока в подпороговой области. Подпороговый наклон N-транзисторов при $-40 \text{ }^\circ\text{C}$ и $+125 \text{ }^\circ\text{C}$ в среднем составляет -92 мВ и -127 мВ на декаду уменьшения тока от точки порогового напряжения. Для P-транзисторов в среднем -87 мВ и -117 мВ на декаду соответственно. Одновременное уменьшение напряжения $V_{TH(T)}$ и подпорогового наклона из-за увеличения температуры является одной из основных причин многократного увеличения тока стока при $V_{GS} = 0$. При изменении температуры от -40 до $+125 \text{ }^\circ\text{C}$ данное увеличение может составить до четырех порядков.

Выбор параметров W и L МОП-транзистора

При разработке интегральных схем выбор параметров W и L затвора (канала) транзистора является результатом компромисса между коэффициентом усиления и частотой единичного усиления. При оптимизации по частоте единичного усиления необходимо использовать короткоканальные транзисторы с напряжением V_{OVN} около 5 % от напряжения питания, что, однако, уменьшит выходное сопротивление и динамический диапазон, увеличит ток стока. При оптимизации по коэффициенту усиления необходимо увеличивать длину затвора и уменьшать V_{OVN} , т.е. работать в окрестности порогового напряжения. Распространенной рекомендацией в общей аналоговой практике является использование длины затвора 2–5 раз от минимальной. [3]

Так как при уменьшении отношения W к L канала транзистора пороговое напряжение уменьшается необходимо использовать транзисторы с несколькими затворами. Особенно это актуально при проектировании схем с пониженным напряжением питания.

Заключение

Исследованы изменения порогового напряжения, тока стока и крутизны МОП-транзисторов в зависимости от ширины и длины затвора (канала), напряжений сток-исток и исток-карман и температуры. Представлен метод расчета порогового напряжения МОП-транзисторов по аппроксимирующим выражениям с учетом перечисленных переменных параметров.

Метод заключается в предварительном расчете порогового напряжения для заданных ширины и длины затвора и действующего напряжения сток-исток для условий нулевого напряжения исток-карман и температуры +27 °С. Далее осуществляется коррекция полученного напряжения с учетом действующих напряжения исток-карман и температуры. Представлены соответствующие аппроксимирующие выражения.

Достоинством данного метода является отсутствие необходимости создания тестовых схем, вычислительная простота и, соответственно, высокая скорость получения результата. Метод позволяет получить пороговое напряжение с погрешностью не более $\pm 10\%$, что в большинстве практических случаев является приемлемым.

В ситуациях, при которых данная погрешность становится критической, возможно повышение точности аппроксимации. Для этого необходимо увеличивать количество исходных точек при расчетах коэффициентов полиномов аппроксимирующих выражений, а также степень полиномов. Функции, аргументом которых является $\log_{10}L$, также могут быть представлены полиномом.

Литература

1. Dreslinski R.G., [et al.]. Near-Threshold Computing: Reclaiming Moore's Law Through Energy Efficient Integrated Circuits // Proceedings of the IEEE. – 2010. – Vol. 98. – № 2. – P. 253–266.
2. Wey I-Chyn, [et al.]. Near-Threshold-Voltage Circuit Design: The Design Challenges and Chances // International SoC Design Conference. 3–6 Nov. 2014. Jeju, South Korea. – 2014. – P. 138 – 141.
3. Baker R.J. CMOS Circuit Design, Layout, and Simulation. 3-rd Edition. – Wiley, 2010. – 1208 p.
4. Rakus M., Stopjakova V., Arbet D. Design techniques for low-voltage analog integrated circuits // Journal of Electrical Engineering. – 2017. – Vol. 68. – № 4. – P. 245–255.
5. Зайцев А.А. Расчет порогового напряжения субмикронных МОП транзисторов с помощью полиномиальной аппроксимации его значений для граничных и центральных размеров ширины и длины канала // Фундаментальные проблемы радиоэлектронного приборостроения. – 2018. – Т 18. – № 1. – С. 142–145.
6. Эннс В.И., Кобзев Ю.М. Проектирование аналоговых КМОП – микросхем : Краткий справочник разработчика. – М. : Горячая линия – Телеком, 2005. – 454 с.

References

1. Dreslinski R.G., [et al.]. Near-Threshold Computing: Reclaiming Moore's Law Through Energy Efficient Integrated Circuits // Proceedings of the IEEE. – 2010. – Vol. 98. – № 2. – P. 253–266.
2. Wey I-Chyn, [et al.]. Near-Threshold-Voltage Circuit Design: The Design Challenges and Chances // International SoC Design Conference. 3–6 Nov. 2014. Jeju, South Korea. – 2014. – P. 138–141.

3. Baker R.J. CMOS Circuit Design, Layout, and Simulation. 3-rd Edition. – Wiley, 2010. – 1208 p.
4. Rakus M., Stopjakova V., Arbet D. Design techniques for low-voltage analog integrated circuits // Journal of Electrical Engineering. – 2017. – Vol. 68. – № 4. – P. 245–255.
5. Zaitsev A.A. Evaluation of threshold voltage of submicron CMOS-transistors using polynomial approximations of its values for the utmost and central sizes of width and length of the channel // Fundamental problems of radioengineering and device construction. – 2018. – Vol. 18. – № 1. – P. 142–145.
6. Enns V.I., Kobzev Yu.M. Design of analog CMOS-microcircuits. A short handbook for designer. – M. : Hot line – Telecom, 2005. – 454 p.